

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-040804

(43)Date of publication of application : 12.02.1999

(51)Int.Cl.

H01L 29/78

H01L 21/336

H01L 21/28

(21)Application number : 09-191237

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.07.1997

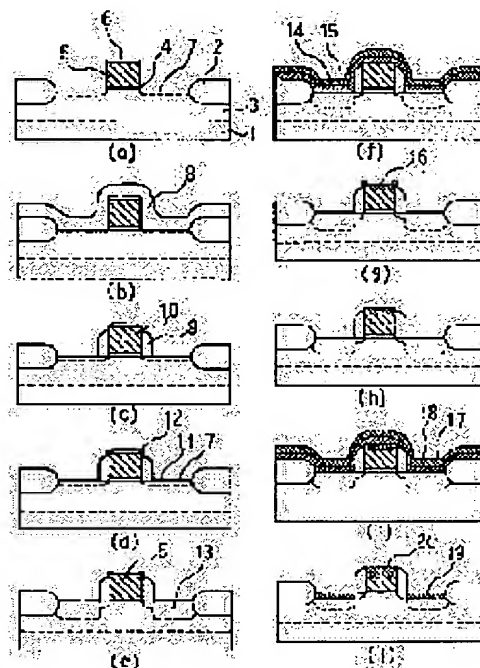
(72)Inventor : FUKADA SHINICHI
KOBAYASHI NOBUYOSHI
MIYAMOTO MASABUMI
YOKOYAMA NATSUKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device, equipped with a MOS transistor where a metal silicide layer is formed thicker on a gate electrode than on a source and a drain region through a fewer number of processes.

SOLUTION: Through this method, the surface region of a gate electrode is turned into silicide for the formation of a cobalt silicide layer 16, a thermal oxide film 11 on a silicon substrate is removed to make a silicon region exposed, and the surface region of the exposed silicon region is turned into silicide at the same time, with the second silification of the surface region of the gate electrode, whereby cobalt silicide layers 19 and 20 are formed on the surface regions of the exposed silicon region and the gate electrode, respectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-40804

(43)公開日 平成11年(1999) 2月12日

(51)Int.Cl.⁸
H 0 1 L 29/78
21/336
21/28 3 0 1

F I
H 0 1 L 29/78 3 0 1 P
21/28 3 0 1 T
29/78 3 0 1 G
3 0 1 S

審査請求 未請求 請求項の数10 O L (全 6 頁)

(21)出願番号 特願平9-191237
(22)出願日 平成9年(1997) 7月16日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 深田 晋一
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内
(72)発明者 小林 伸好
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内
(72)発明者 宮本 正文
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内
(74)代理人 弁理士 高橋 明夫 (外1名)

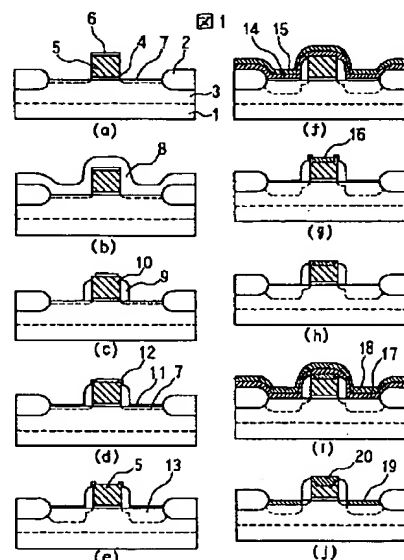
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】ホトレジスト工程数を少なくして、ゲート電極上に、ソース、ドレイン領域上よりも厚い金属シリサイド層が配置されたMOSTランジスタを有する半導体装置を製造する方法を提供すること。

【解決手段】ゲート電極の表面領域をシリサイド化してコバルトシリサイド層16を形成し、シリコン基板上の熱酸化膜11を除去してシリコン領域を露出させ、露出したシリコン領域の表面領域のシリサイド化とゲート電極の表面領域の2回目のシリサイド化を同時に行ない、これらの部分にコバルトシリサイド層19、20を形成する半導体装置の製造方法。



4...ゲート酸化膜 11, 12...熱酸化膜
5...ポリシリコン膜 14, 17...Co膜
6...Si₃N₄膜 15, 18...TiN膜
8...SiO₂膜 19, 20...コバルトシリサイド層
9...サイドスペーサ

【特許請求の範囲】

【請求項1】シリコン基板上にゲート絶縁膜を介して配置された多結晶シリコンからなるゲート電極の表面領域の少なくとも一部をシリサイド化して金属シリサイド層を形成する第1の工程、上記シリコン基板上に配置されていた絶縁膜の所望の部分を除去し、該所望の部分にシリコン領域を露出させる第2の工程及び該露出したシリコン領域の表面領域と上記ゲート電極の表面領域をシリサイド化して金属シリサイド層を形成する第3の工程を有し、上記ゲート電極上の金属シリサイド層がソース及びドレイン領域上の金属シリサイド層よりも厚いMOSトランジスタを形成することを特徴とする半導体装置の製造方法。

【請求項2】上記金属シリサイド層は、コバルトシリサイドからなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】上記第1の工程の前に、上記ゲート電極上に、ゲート電極パターンと同様なパターンの第2の絶縁膜を形成し、少なくとも該第2の絶縁膜上及びその周辺領域上に第3の絶縁膜を形成し、異方性ドライエッチングにより該第3の絶縁膜をエッチングして上記ゲート電極のサイドスペースを形成し、上記サイドスペースに自己整合するソース及びドレイン領域を形成する工程を有することを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】上記第2の絶縁膜は、窒化シリコン膜からなることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】シリコン基板上にゲート絶縁膜を介して配置された多結晶シリコンからなるゲート電極の所望の領域の上に第1の絶縁膜を形成する第1の工程、上記所望の領域以外の上記ゲート電極の表面領域及び上記シリコン基板上のシリコン露出領域上に第2の絶縁膜を形成する第2の工程、上記ゲート電極上の所望の領域上に形成された上記第1の絶縁膜を除去してシリコン表面を露出し、該表面領域をシリサイド化して金属シリサイド層を形成する第3の工程及び上記第2の絶縁膜を除去してシリコン表面を露出し、露出した該表面領域をシリサイド化し、金属シリサイド層を形成すると同時に、上記第3の工程で形成された金属シリサイド層領域を再度シリサイド化し、金属シリサイド層を厚膜化する第4の工程を有し、上記ゲート電極上の所望の領域上の金属シリサイド層がソース及びドレイン領域上の金属シリサイド層よりも厚いMOSトランジスタを形成することを特徴とする半導体装置の製造方法。

【請求項6】上記金属シリサイド層は、コバルトシリサイドからなることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】上記第1の絶縁膜は、窒化シリコン膜からなることを特徴とする請求項5又は6記載の半導体装置

の製造方法。

【請求項8】シリコン基板上にゲート絶縁膜を介して配置された多結晶シリコンからなるゲート電極の所望の部分及び上記シリコン基板上の所望の領域の上に第1の絶縁膜を形成する第1の工程、上記所望の部分以外の上記ゲート電極の表面領域をシリサイド化して金属シリサイド層を形成する第2の工程、上記ゲート電極の上部の所望の部分及び上記シリコン基板上の所望の領域の上の上記第1の絶縁膜を除去し、該所望の部分及び該所望の領域のシリコン領域を露出させる第3の工程及び該露出したシリコン領域の表面領域をシリサイド化して金属シリサイド層を形成する第4の工程を有し、上記ゲート電極上の金属シリサイド層がソース及びドレイン領域上の金属シリサイド層よりも厚いMOSトランジスタを形成することを特徴とする半導体装置の製造方法。

【請求項9】上記金属シリサイド層は、コバルトシリサイドからなることを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】上記第1の絶縁膜は、窒化シリコン膜からなることを特徴とする請求項8又は9記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ソース、ドレイン電極とゲート電極の表面をシリサイド化したサリサイド(Self-align Silicide)構造のMOSトランジスタを有する半導体装置の製造方法に関する。

【0002】

【従来の技術】MOSトランジスタの高速動作の上で、ソース、ドレイン電極及びゲート電極のシート抵抗、電極と配線とのコンタクト抵抗、ソース及びドレイン領域の寄生容量の低減が重要な課題となっている。この課題に対し、ソース、ドレイン電極及びゲート電極の表面を一括して自己整合的にシリサイド化したサリサイド構造を有するMOSトランジスタを有する半導体装置が提案されている。このサリサイド構造では各電極表面が低抵抗のシリサイドに覆われてシート抵抗が低減され、配線とのコンタクト抵抗も金属/半導体接触に比べ大幅に低減できる。また、ソース、ドレイン領域の面積を低減できるため寄生容量も低減することができる。そのためMOSトランジスタの高速動作が可能である。

【0003】しかし、従来のサリサイド技術においては、ソース及びドレイン領域上と、ゲート電極上を同時にシリサイド化するため、ソース、ドレイン領域上とゲート電極上のシリサイド膜厚を独立に制御することはできなかった。しかし、ソース、ドレイン領域上と、ゲート電極上では要求仕様も制約条件も異なるため、双方の膜厚は独立に制御できることが望ましい。すなわち、0.35 μ m以下の設計ルールのデバイスでは、ゲート

幅が狭くなることによるゲート抵抗の上昇が顕著になるため、ゲート電極の低抵抗化要求が非常に大きく、 $5\Omega/\square$ 以下のシート抵抗が求められる。それに対し、ソース、ドレイン電極に対する低抵抗化要求は幾分小さく、 $20\Omega/\square$ 以下のシート抵抗と配線とのコンタクト抵抗の低減が果たされれば十分である。一方、ソース、ドレイン領域上ではシリサイドはSi基板を消費して形成されるため、膜厚を厚くしすぎると下に形成されているp/n接合までシリサイドが到達したり、横方向の成長によりLOCOS端部でp/n接合に達したりして接合リークを増大させる。そのため、ソース、ドレイン領域上のシリサイドはあまり膜厚を大きくすることはできない。それに対し、ゲート電極上ではCVD法又はスパッタ法で膜形成した多結晶Si膜又はアモルファスSi膜を消費させるため、予め形成するSi膜厚を適当に選択すれば、その後形成するシリサイドの膜厚は自由に変えることができる。以上の述べたように、ゲート電極上のシリサイド膜厚をソース、ドレイン領域上より厚くすることが望ましい。しかし従来のシリサイド技術では、ソース、ドレイン電極及びゲート電極を一括してシリサイド化するため、ゲート電極上のシリサイド膜厚のみを厚くすることはできなかった。

【0004】そこで特開平5-291576号公報には、ゲート電極のシリサイドーションとソース、ドレイン電極のシリサイドーションを分けて実施することにより、ソース、ドレイン領域上のシリサイド膜厚よりもゲート電極上のシリサイド膜厚を厚くしたMOSトランジスタが開示されている。

【0005】また、特開平8-279509号公報には、基板表面に露出したシリコン領域の上に第1の金属のシリサイド層を形成し、この少なくとも一部の表面の上に第2の金属のシリサイド層を形成する工程を含む半導体装置の製造方法が開示されている。

【0006】

【発明が解決しようとする課題】上記特開平5-291576号公報記載の従来技術は、ホトレジスト工程数が増加するという問題があった。さらに、ポリサイド構造のゲート電極を形成するためには、シリサイド/ポリシリコン積層膜をドライエッチング加工することが必要であり、シリサイド材料に低抵抗のコバルトシリサイド(CoSi_2)、白金シリサイド(PtSi)等の材料を用いるとドライエッチングが困難であるという材料面での制約があった。

【0007】また、上記特開平8-279509号公報記載の従来技術は、第1の金属のシリサイド層の上にポリシリコン層のパターンを形成し、このポリシリコン層を第2の金属のシリサイド層とするものである。それ故、第2の金属のシリサイド層のパターンの形成は、位置合わせを行なうことが必要であるが、精密な位置合わせを行なうことは容易ではなく、また、ホトレジスト工

程数が増加するという問題があった。

【0008】本発明の目的は、ゲート電極のシート抵抗を小さくしたMOSトランジスタをホトレジスト工程数を少なくして製造する半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置の製造方法は、シリコン基板上にゲート絶縁膜を介して配置された多結晶シリコンからなるゲート電極の表面領域の少なくとも一部をシリサイド化して金属シリサイド層を形成し、このシリサイド化の前に、シリコン基板上に形成されていた第1の絶縁膜の所望の部分を除去し、この部分にシリコン領域を露出させ、このシリコン領域の表面領域をシリサイド化すると共に、ゲート電極の表面領域に2回目のシリサイド化を行なって金属シリサイド層を形成するようにしたものである。これによってゲート電極上の金属シリサイド層がソース及びドレイン領域上の金属シリサイド層よりも厚いMOSトランジスタを形成することができる。

【0010】上記の1回目のシリサイド化の前に、ゲート電極上にゲート電極パターンと同様なパターンの第2の絶縁膜を形成し、さらにこの上及びその周辺領域上に第3の絶縁膜を形成し、異方性ドライエッチングにより第3の絶縁膜をエッチングしてゲート電極のサイドスペースを形成し、このサイドスペースに自己整合するソース及びドレイン領域を形成するようにすることができる。

【0011】この第2の絶縁膜は、サイドスペース形成のための第3の絶縁膜のエッチングに耐えること、予めシリコン基板上に設けられていた第1の絶縁膜を形成するときの条件に耐えること、第1の絶縁膜がエッチングされない条件でエッチング可能であることの3条件を満たすものであることが好ましい。このような条件を満たす材料として Si_3N_4 膜に代表される窒化シリコン膜がある。

【0012】また、上記目的を達成するために、本発明の半導体装置の製造方法は、シリコン基板上にゲート絶縁膜を介して配置された多結晶シリコンからなるゲート電極の所望の領域の上に第1の絶縁膜を形成し、この所望の領域以外のゲート電極の表面領域とシリコン基板上のシリコン露出領域上に第2の絶縁膜を形成し、ゲート電極上の所望の領域上に形成された第1の絶縁膜を除去してシリコン表面を露出し、この表面領域をシリサイド化して金属シリサイド層を形成し、第2の絶縁膜を除去してシリコン表面を露出し、露出した表面領域をシリサイド化し、金属シリサイド層を形成すると同時に、ゲート電極上に形成された金属シリサイド層領域を再度シリサイド化し、金属シリサイド層を厚膜化することにより、ゲート電極上の所望の領域上の金属シリサイド層がソース及びドレイン領域上の金属シリサイド層よりも厚

いMOSトランジスタを形成するようにしたものである。この場合の第1の絶縁膜は、前記の第2の絶縁膜と同様の理由により窒化シリコン膜からなることが好ましい。

【0013】また、上記目的を達成するために、本発明の半導体装置の製造方法は、シリコン基板上にゲート絶縁膜を介して配置された多結晶シリコンからなるゲート電極の所望の部分及びシリコン基板上の所望の領域の上に第1の絶縁膜を形成し、この所望の部分以外のゲート電極の表面領域をシリサイド化して金属シリサイド層を形成し、ゲート電極の上部の所望の部分とシリコン基板上の所望の領域の上の第1の絶縁膜を除去し、ここにシリコン領域を露出させ、この領域の表面領域をシリサイド化して金属シリサイド層を形成する、つまりゲート電極の表面領域は2回目のシリサイド化を行なうようにしてゲート電極上の金属シリサイド層がソース及びドレイン領域上の金属シリサイド層よりも厚いMOSトランジスタを形成するようにしたものである。この場合も第1の絶縁膜は、前記の第2の絶縁膜と同様に窒化シリコン膜からなることが好ましい。

【0014】

【発明の実施の形態】

〈実施例1〉図1に本発明の第1の実施例の半導体装置の製造方法を示す。LOCOS酸化膜(2)で活性領域を区切られ、Bのドーピングにより形成されたp-ウェル領域(3)を有するSi基板(1)上にポリシリコンゲートパターンを形成する。具体的には、活性領域上に厚さ10nmのゲート酸化膜(4)を形成し、その上にPをドーブした厚さ250nmのポリシリコン膜(5)を、加熱反応による化学気相成長法(以下、熱CVD法と略す)により厚さ50nmの Si_3N_4 膜(6)を形成し、ホトエッチング工程により Si_3N_4 膜(6)及びポリシリコン膜(5)をゲート電極パターンに加工する。さらにAsイオンをイオン打ち込みし、LDD(lightly doped drain)領域(7)を形成する(図1(a))。

【0015】このSi基板上に、熱CVD法により SiO_2 膜(8)を100nmの厚さに形成する(図1(b))。

【0016】異方性ドライエッチングにより、 SiO_2 膜(8)をエッチングし、サイドスペーサ(9)を残して SiO_2 膜を除去する(図1(c))。このときポリシリコンゲートパターンの肩の部分(10)が図に示すように多少露出しても差し支えない。

【0017】LDD領域(7)上に厚さ5nmの熱酸化膜(11)を形成する。その際同時にポリシリコンゲートパターンの肩の部分(10)のポリシリコン露出領域上にも熱酸化膜(12)が形成される。しかし、この肩の部分(10)以外のゲート電極パターン上は Si_3N_4 膜(6)に被われて酸化されない。熱酸化膜(11)は

以下の工程でこの上に形成されるCo膜と下のSi基板との反応を防ぐ役割を果たすだけであり、信頼性を保証できる範囲でできるだけ薄い方が望ましく、例えば2nm以上あれば役割を果たすことができる。本実施例では膜厚を5nmとした(図1(d))。

【0018】ソース及びドレイン領域(13)にAsをイオン打ち込みし、900℃、10秒の短時間熱処理でイオン打ち込みされたドーパントを活性化する。さらに、ゲート電極のポリシリコン層(5)上の Si_3N_4 膜(6)を加熱りん酸で除去する。この除去工程では熱酸化膜(11)、(12)はエッチングされず、ポリシリコン層(5)上のみSiが露出する(図1(e))。

【0019】この工程で除去される Si_3N_4 膜(6)に求められる条件として、サイドスペーサ形成のための SiO_2 膜(8)のエッチングに耐えること、熱酸化膜(11)の形成に耐え、下のポリシリコン層(5)を酸化させないこと、熱酸化膜(11)がエッチングされない条件でエッチング可能であることの3条件がある。この熱CVD法により形成した Si_3N_4 膜に代表される窒化シリコン膜がこれらの条件を満たす材料として好適である。

【0020】基板全面にDCマグネトロンスパッタ法でCo膜(14)を10nmの厚さに、さらにその上にTiN膜(15)を10nmの厚さに形成する(図1(f))。

【0021】窒素雰囲気下で550℃、30秒熱処理し、CoとSiの接触するゲート電極上だけに選択的にコバルトシリサイド層を形成する。この段階ではコバルトシリサイドは $\text{Co}:\text{Si}=1:x$ ($x<1$)の組成である。未反応のCo膜(14)及びTiN膜(15)をウェットエッチングで除去した後、窒素雰囲気下で750℃、30秒熱処理し、コバルトシリサイド層(16)を $\text{Co}:\text{Si}=1:2$ の定比化合物(CoSi_2)に変換する。最終的にコバルトシリサイド層(16)の膜厚は45nmとなる(図1(g))。

【0022】弗化水素酸-弗化アンモニウム混合溶液でSi基板表面の熱酸化膜(11)を除去する。弗化水素酸-弗化アンモニウム混合溶液を用いることにより、コバルトシリサイド層(16)を殆どエッチングすることなく目的とする熱酸化膜を除去することができる。詳述すれば、50%弗化水素酸:40%弗化アンモニウム水溶液=1:20混合溶液によるコバルトシリサイド(CoSi_2)膜のエッチング速度は2nm/分以下であり、この溶液の SiO_2 膜に対するエッチング速度である30nm/分の1/10以下である。本実施例では厚さ5nmの熱酸化膜(11)を除去するために15秒エッチングを実施したが、エッチングの前後でコバルトシリサイド(CoSi_2)膜の膜厚に差は認められなかった(図1(h))。

【0023】その後、基板全面にDCマグネトロンスパ

ツパ法でC_o膜(17)を10nmの厚さに、さらにその上にTiN膜(18)を10nmの厚さに形成する(図1(i))。

【0024】窒素雰囲気下で550℃、30秒熱処理し、Si基板(1)のSi露出面上及びゲート電極上に選択的にコバルトシリサイド層を形成する。この段階ではコバルトシリサイドはC_o:Si=1:x(x<1)の組成である。未反応のC_o膜(17)及びTiN膜(18)をウェットエッチングで除去した後、窒素雰囲気下で750℃、30秒熱処理して、コバルトシリサイド層(19)、(20)をC_o:Si=1:2の定比化合物(C_oSi₂)に変換する。ゲート電極上のシリサイド形成を2回実施した領域でコバルトシリサイド層の厚さは80nm、シリサイド形成1回の領域でコバルトシリサイド層の厚さは45nmであった(図1(j))。

【0025】本実施例ではn-MOSTランジスタの形成法を記載したが、同様の工程でp-MOSTランジスタも形成可能である。また、p-MOSTランジスタのゲート電極にp型ポリシリコンを用い、デュアルゲートにp、n型MOSTランジスタを作り分ける場合には、ゲートポリシリコン層形成後、ホトレジスト工程でインプラマスクを形成し、p型ポリシリコン領域にBを、n型ポリシリコン領域にPを打ち分ければよい。

【0026】〈実施例2〉図2に本発明の第2の実施例の半導体装置の製造方法を示す。LOCOS酸化膜(22)で活性領域を区切られ、Bのドーピングにより形成されたp-ウェル領域(23)を有するSi基板(21)上にポリシリコンゲートパターンを形成する。具体的には、活性領域上に厚さ10nmのゲート酸化膜(24)を形成し、その上に250nmの厚さのポリシリコン膜(25)を形成し、ホトエッチング工程により、このポリシリコン膜(25)をゲート電極パターンに加工する。さらにAsイオンをイオン打ち込みし、LDD領域(26)を形成する(図2(a))。

【0027】このSi基板の全面に熱CVD法により厚さ30nmのSi₃N₄膜(27)を、その上に同様に熱CVD法により厚さ70nmのSiO₂膜(28)を形成する(図2(b))。

【0028】異方性ドライエッチング技術によりこのSiO₂膜(28)をエッチングする。SiO₂膜(28)はサイドスペーサ(29)を残して除去され、その下のSi₃N₄膜(27)上でエッチングを止める。Si₃N₄膜はSiO₂膜のエッチング条件では殆どエッチングされないが、図に示すようにポリシリコンゲートパターンの肩の部分(30)はエッチング時のスパッタ成分により削られて露出する。この肩の部分(30)のエッチング量はエッチング時間で調整可能であり、本実施例においてはゲート幅250nmに対しゲート中央に残る領域(31)の幅が150nmになるまでエッチングした

(図2(c))。

【0029】Si基板の上にSi₃N₄膜(27)を通してAsをイオン打ち込みしてソース及びドレイン領域(32)を形成し、900℃、10秒の短時間熱処理でイオン打ち込みされたドーパントを活性化する(図2(d))。

【0030】基板全面にDCマグネトロンスパッタ法で厚さ10nmのC_o膜(33)を、さらにその上に厚さ10nmのTiN膜(34)を形成する(図2(e))。

【0031】窒素雰囲気下で550℃、30秒熱処理し、C_oとSiの接触するゲートパターン肩部のみに選択的にコバルトシリサイド層(35)を形成する。この段階ではコバルトシリサイドはC_o:Si=1:x(x<1)の組成である。未反応のC_o膜及びTiN膜をウェットエッチングで除去した後、窒素雰囲気下で750℃、30秒熱処理し、コバルトシリサイド層(35)をC_o:Si=1:2の定比化合物(C_oSi₂)に変換する。最終的にコバルトシリサイド層(35)の膜厚は45nmとなる(図2(f))。

【0032】ゲートポリシリコン層上の領域(31)のSi₃N₄膜を加熱りん酸で除去する。Si₃N₄のエッチング条件ではコバルトシリサイドは殆どエッチングされない(図2(g))。

【0033】基板全面にDCマグネトロンスパッタ法で厚さ10nmのC_o膜(36)を、さらにその上に厚さ10nmのTiN膜(37)を形成する(図2(h))。

【0034】窒素雰囲気下で550℃、30秒熱処理し、Si表面の露出面上及びゲート電極上に選択的にコバルトシリサイド層(38)、(39)を形成する。この段階ではコバルトシリサイドはC_o:Si=1:x(x<1)の組成である。未反応のC_o膜及びTiN膜をウェットエッチングで除去した後、窒素雰囲気下、750℃、30秒熱処理し、コバルトシリサイド層(38)、(39)をC_o:Si=1:2の定比化合物(C_oSi₂)に変換する。ゲート電極上のシリサイド形成を2回実施した領域でコバルトシリサイド層の膜厚は80nm、シリサイド形成1回の領域のコバルトシリサイド層の膜厚は45nmである(図2(i))。

【0035】

【発明の効果】ホトレジスト工程数を少なくして、ゲート電極のシート抵抗の少ないMOSTランジスタを有する半導体装置を製造することができた。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置の製造工程図。

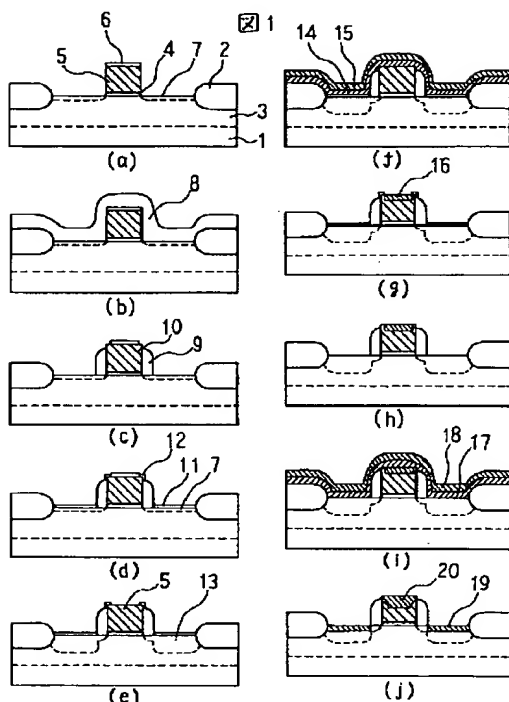
【図2】本発明の第2の実施例の半導体装置の製造工程図。

【符号の説明】

- 1、21…Si基板
2、22…LOCOS酸化膜
3、23…p-ウェル領域
4、24…ゲート酸化膜
5、25…ポリシリコン膜
6、27… Si_3N_4 膜
7、26…LDD領域
8、28… SiO_2 膜
9、29…サイドスペーサ

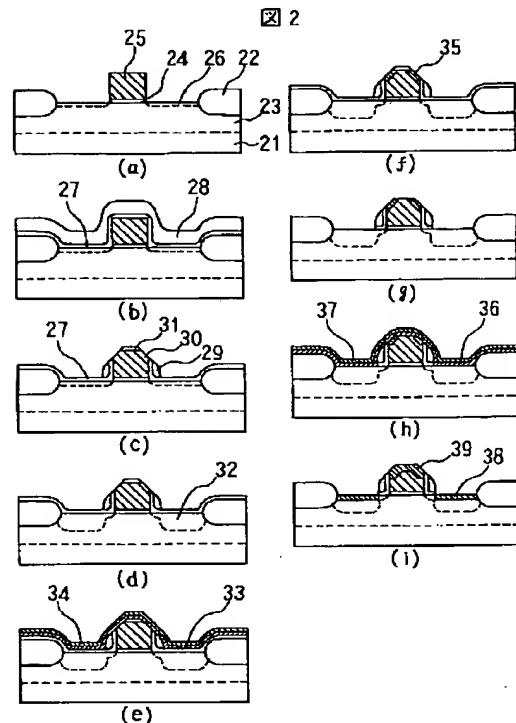
- 10、30…(ポリシリコンゲートパターンの)肩の部分
11、12…熱酸化膜
13、32…ソース及びドレイン領域
14、17、33、36…Co膜
15、18、34、37…TiN膜
16、19、20、35、38、39…コバルトシリサイド層
31…領域

【図1】



- 4…ゲート酸化膜
5…ポリシリコン膜
6… Si_3N_4 膜
8… SiO_2 膜
9…サイドスペーサ
11、12…熱酸化膜
14、17…Co膜
15、18…TiN膜
16、19、20…コバルトシリサイド層

【図2】



- 24…ゲート酸化膜
25…ポリシリコン膜
27… Si_3N_4 膜
28… SiO_2 膜
29…サイドスペーサ
33、36…Co膜
34、37…TiN膜
35、38、39…コバルトシリサイド層

フロントページの続き

(72)発明者 横山 夏樹
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内